

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-5479

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月10日

H 01 L 29/784
21/76

S 7638-5F
8422-5F

H 01 L 29/78 3 0 1 R※

審査請求 未請求 請求項の数 1 (全13頁)

⑮ 発明の名称 放射線耐度改善型MOSトランジスタ

⑯ 特 願 平1-23643

⑰ 出 願 平1(1989)2月1日

優先権主張 ⑱ 1988年2月1日 ⑲ 米国(US) ⑳ 150799

⑳ 発 明 者 ミツシエル マトロー アメリカ合衆国 テキサス州 75240 グラス マーン
ピアノ ロード 13352

㉑ 発 明 者 チェン エン デイー アメリカ合衆国 テキサス州 75081 リチャードソン
チェン サマーセプト プレイス 1504

㉒ 出 願 人 テキサス インストル アメリカ合衆国 テキサス州 グラス ノース セントラ
メンツ インコーポレ ル エクスプレスウェイ 13500
イテッド

㉓ 代 理 人 弁理士 中 村 稔 外7名

最終頁に続く

明細書の序言(内容に変更なし)

明 細 書

1. 発明の名称 放射線耐度改善型MOS
トランジスタ

記ゲート電極の下側に配設された前記第2導電形
のチャンネル領域；
を備えたトランジスタ。

2. 特許請求の範囲

半導体表面の絶縁ゲート電界効果トランジスタ

において；

前記表面の選定位置に配設され、アクティブ領
域を画定する絶縁層；

前記アクティブ領域上に配設されると共に、前
記絶縁層上へと延びているゲート電極；

前記ゲート電極の第1側で前記アクティブ領域
内に配設された第1導電形のドレイン領域で、該
ドレイン領域が前記ゲート電極に隣接する位置で
前記絶縁層の縁部まで延びている；

前記ゲート電極の第2側で前記アクティブ領域
内に配設された前記第1導電形のソース領域；

前記ゲート電極に隣接した位置の前記絶縁層と
前記ソース領域との間で、前記アクティブ領域内
に配設された第2導電形のガード領域；及び

前記ガード領域と前記ドレイン領域との間で前

3. 発明の詳細な説明

(産業上の利用分野)

この発明は集積回路の分野に関し、特に絶縁ゲート電界効果トランジスタに関する。

(従来の技術)

金属酸化物半導体 (MOS) トランジスタの電気特性は、充分大きな面積及びエネルギーのイオン化放射線に露出されると、影響を受けることが知られている。このような放射線の影響の一つは、誘電層にトラップされた電荷と半導体-誘電物間境界面における表面準位の発生とによる MOS トランジスタのしきい値電圧のシフトである。こうしたイオン化放射線の影響は、MOS トランジスタの比較的深いゲート誘電物においてだけでなく、トランジスタを相互に絶縁分離するのに使われるもっと厚い誘電層においても生じる。ある一定レベルのイオン化放射線が生じる MOS コンデンサの平坦電圧のシフトは、誘電層の厚さに強く依存する (すなわち誘電層の厚さの2または3乗に比例する) ことが知られている。従って、厚い絶縁

物を有するトランジスタのしきい値電圧は、薄い絶縁物を有する同じサイズのトランジスタより大きく影響され易い。

寄生 MOS トランジスタは、集積回路のうち、ゲート電極 (または任意の導体) が絶縁分離誘電物と直接する箇所に形成される。例えば、寄生側壁トランジスタは側壁ゲート MOS トランジスタと平行に形成され、ゲート電極がモート (深) 領域を出て絶縁分離誘電物の層上に延びている。放射線によるしきい値電圧シフトの誘電物の厚さに対する強い依存性が、寄生トランジスタのしきい値電圧を動作トランジスタのしきい値電圧より大きくシフトさせ、動作トランジスタでなく絶縁分離誘電物の下側のチャネルを介したソース-ドレイン間導通の可能性を高めることがある。つまり、充分に高い放射線線量の場合、寄生トランジスタのしきい値電圧が動作トランジスタのしきい値電圧よりも下がり、オフ状態であるはずのトランジスタでソース-ドレイン間リークを引き起こすことがある。

(発明が解決しようとする課題)

従ってこの発明の目的は、イオン化放射線によるしきい値電圧シフトに対する耐性が改善された絶縁分離構成を有する絶縁ゲート電界効果トランジスタを提供することにある。

この発明の別の目的は、最小の追加マスキング工程で製造可能なトランジスタを提供することにある。

この発明の別の目的は、ソース及びドレイン拡散のケイ化物被覆と組み合わせて製造可能なトランジスタを提供することにある。

本発明のその他の目的及び利点は、この明細書及び添付の図面を参照することで当業者には明かとなる。

(課題を解決するための手段)

本発明は、ソース及びドレイン領域の両側に絶縁分離用誘電物を有する半導体領域内に形成された絶縁ゲート電界効果トランジスタで具体的に実施し得る。ソース及びドレイン領域と反対の導電形の強くドーパされた領域が、ゲート電極のソー

ス側で、絶縁分離用誘電物及びゲート電極に隣接して形成される。この領域は、絶縁分離用誘電物とゲート電極に対する自己整合法で、注入及び拡散など周知の技術によって形成できる。上記領域の存在が、拡散にケイ化物被覆を施した場合にもソースからドレインへの短絡を引き起こすことなく、イオン化放射線への露出時に、寄生側壁トランジスタのしきい値電圧を比較的高い値に保つ。

(実施例)

第1a、1b及び1c図を参照すると、従来技術によって作製されたノーチャネル MOS トランジスタが示してある。第1a図はa形ドレイン領域2とn形ソース領域4を平面図で示しており、ポリシリコンのゲート電極6がドレイン領域2とソース領域4の間に位置するトランジスタのチャネル上に重なっている。第1a図のトランジスタでは、ドレイン領域2とソース領域4がゲート電極6の形成後、周知の自己整合法でイオン注入され拡散される。ゲート電極6と反対側のドレイン領域2及びソース領域4の周囲は、絶縁分離のた

めフィールド酸化物8によって画定されている。

第1b図はゲート電極6と平行な方向から見た構造の断面図で、p形基板12における動作トランジスタの構成を示している。当該分野で周知なように、フィールド酸化物8の形成前に、チャネルストップ注入がなされ、フィールド酸化物8の形成される箇所にp形領域14を与える。p形領域14は、ゲート誘電物としてフィールド酸化物8を有する寄生トランジスタのしきい値電圧を高め、トランジスタトランジスタ間の逆接分離を改善するため、基板12よりも比較的強くドーブされている。チャネルストップ注入後、フィールド酸化物8がp形領域14上に多くの周知な局所酸化(LOCOS)法の注意の一つによって、700nm程度の厚さに成長される。基板12のうちフィールド酸化物8によって覆われていない領域(しばしばモートと呼ばれる)内に、ゲート誘電物16とポリシリコンゲート電極6が形成され、モートの局所箇所がパターン化される。ゲート誘電物16は、二酸化シリコンまたは二酸化シ

リコンと窒化シリコンの組合せなど周知の薄い誘電材料からなり、10〜200nm程度の厚さを有する。ソース及びドレイン両領域4、2はそれぞれ、n形ドーパントを注入した後、所望の深さにまで拡散することによって、自己整合法で形成される。第1c図はゲート電極6と直角な方向から見た第1a図のトランジスタの断面図で、ゲート誘電物16からフィールド酸化物8へ至るゲート電極6の重なりを示している。

第1a〜1c図の構造では、フィールド酸化物8の隔壁に沿った箇所20、すなわちゲート電極6がフィールド酸化物8の縁部に沿って延びている箇所に、寄生トランジスタが存在する。フィールド酸化物8の厚さはその縁部でもゲート絶縁物15の厚さよりかなり大きいので、その寄生トランジスタは通常非導通状態にある。従って、動作トランジスタがオフのとき寄生トランジスタはオフであり、また動作トランジスタがオンとき、ソースドレイン間導通電流の真実上全てが、薄いゲート電極16下側のチャネル内を流れる。し

かし、イオン化放射線に露出されると、正の電荷がゲート誘電物16とフィールド酸化物8内にトラップされると共に、誘電層とその下側の基板12のシリコンとの境界面に表面準位が発生する。イオン化放射線への露出の結果として、MOSコンデンサの平坦電圧が、誘電層の厚さの2または3乗に依存した大きさにシフトすることが知られている。第1a〜1c図に示したローチャネルトランジスタでは、このシフトによって、ローチャネルトランジスタのしきい値電圧の大きさが減少する。フィールド酸化物8の厚さはゲート絶縁物15の厚さより著しく厚い(例えば700nm対20nm)ので、箇所20における寄生トランジスタのしきい値電圧は、動作トランジスタ(すなわちゲート電圧16を持つトランジスタ)よりも著しく下方にシフトする。放射線の線量が充分に大きいと、動作トランジスタが通常導通しているときでも、寄生トランジスタが箇所20(すなわちフィールド酸化物8の縁部下側)で導通し、トランジスタの有効幅対長さ比及びトランジスタの

性能に悪影響を及ぼす。また充分大きい放射線では、寄生トランジスタがエンハンスメントモード素子となり(すなわちゲート電極6とソース電極4の間の電位ゼロでも導通する)、トランジスタのデジタル(オン・オフ)方式での有用性を減じることもある。尚、フィールド酸化物8の全体におたってチャネルを形成するしきい値電圧もイオン化放射線によって減少されるが、フィールド酸化物8の縁部における基板12部分よりも強くドーブされているフィールド酸化物8下側のp形領域14は、上記縁部から起れている寄生フィールド酸化物トランジスタのしきい値電圧を高い値に保とうとすることに留意されたい。

次に第2a〜2c図を参照すると、従来技術によって作製されたローチャネルMOSトランジスタの構造が、素子のモート領域を取り囲む、すなわちソース及びドレイン両領域4、2の間をそれぞれ取り囲み、フィールド酸化物8の縁部においてゲート電極6の下側に位置するp形拡散ガードリングを有するものとして示してある。第1b

図は、フィールド酸化物8の縁部に位置し、その下側に延びたガードリング18の存在を示している。チャネルストップ注入形成領域14と同じように、高ドーパのp形ガードリング18は、ゲート電極6の下側位置でフィールド酸化物8の縁部に沿って寄生側壁トランジスタのしきい値電圧を高め、寄生トランジスタそのもののしきい値電圧を上げることによってイオン化放射線の露出に対するトランジスタの感度を減少させる役割を果たしている。

しかしかかる従来の構造によると、ガードリング18をゲート電極6の下側に設けるため、ガードリング8の形成はモートへのマスク式p形注入により、ゲート電極6の形成前に行われていた。相補形MOS(CMOS)素子では実際のところ、n-チャネル及びp-チャネルMOSトランジスタのソース及びドレイン形成のため、それぞれn-形及びp-形注入両方によって作製されているが、第1b及び2c図に示すごとくソース及びドレインの拡散がゲート電極6に対して自己整合さ

れるように、ゲート電極6の形成後にソース及びドレイン注入が行われている。従って、第2a図によるガードリング18の形成は、CMOS集積回路の微細なプロセスに加えて、(ガードリング18の位置を決定する)別個のマスキング工程と別個のイオン注入工程とを必要とする。

第2c図は、ゲート電極6と平行な方向から見た第2a図のトランジスタの断面図である。この構造によれば、ドレイン領域2とソース領域4が共にガードリング18と接触している。ガードリング18はゲート電極6の下側にも延びているので、n+のドレイン領域2がp+のガードリング18と接触し、ガードリング18がn+のソース領域4と接触する構造が形成されている。通常の動作時、ドレイン領域2が正の電圧 V_{dd} にバイアスされる一方、ソース領域4はアース電位とされ、また基板12(及びガードリング18)はアース電位以下とされる。従って、逆バイアスのp-n接合ダイオードが、ドレイン領域2とガードリング18の間に形成される。しかし当該分野で周知

なように、p-n接合の逆バイアス降伏電圧は、p-n接合における弱くドーパされた側での不純物濃度に依存する。ドレイン領域2とソース領域4は、モートの相互接続領域"上"及び内を通じ、ソースからドレインへの低い抵抗率での導通を与えるため強くドーパされている。初期のしきい値電圧をできるだけ高める上でガードリング18は強いp形ドーピングとするのが好ましいが、ガードリング18のドーピングは第2a~2c図の構成において、ドレイン領域2とガードリング18が V_{dd} 。(ドレインバイアス)と基板12のバイアス間の電圧差の見込み範囲で降伏しないように、制限されねばならない。

最新の集積回路では、拡散モート領域及びポリシリコンゲート電極や相互接続領域において、ケイ化物の被覆を用いることが一般的となっており、1987年9月1日に発行され、テキサス・インスツルメント社に譲渡された米国特許第4,690,730号に記載された非特許性金属と露出シリコンとの直接反応によって形成されるそのよう

なケイ化物の被覆は、拡散及びポリシリコン領域でのシート抵抗を減少させる。尚、第2a図の構造でケイ化物の被覆を用いるのは、実施不可能である。何故なら、直接反応法によるドレイン領域2の被覆は、ドレイン領域2とガードリング18の間に短絡回路を生じ(ドレイン領域2を基板2及びソース領域4と短絡させ)るからである。

次に第3a図を参照すると、本発明によって作製されたトランジスタが平面図で示してある。このトランジスタは第1a~1c図のトランジスタと同じように、n形のドレイン領域102とn形のソース領域104、ゲート電極106及びフィールド酸化物108を含む。第3a図のトランジスタはさらに、フィールド酸化物108と接するソース領域104の縁部に沿って、ゲート電極106の方へ延びたp+の拡散領域118も含む。p+領域118は以下詳述するようにゲート電極106の形成後に形成できるので、p+領域118はゲート電極106の縁部に沿いゲート電極106に対して自己整合され、またゲート電極

106の下側には延びていないためドレイン領域102とは接触しない。

第3a図に示すように、ソース領域104の周囲においてゲート電極106のある箇所(すなわち第3a図においてソース領域104の底縁)には、p+領域118が存在しないことに留意すべきである。この箇所におけるp+領域118の存在が、フィールド酸化物108下側の領域とフィールド酸化物108の縁部における基板112のチャネル部分両方をエンハンスモードとするほど充分高いイオン化放射線の線量に対して、この実施例によるトランジスタのイオン化放射耐性を改善する。またこの箇所へのp+領域118の配置は、p+領域118周囲のフィールド酸化物108下側で、フィールド酸化物108の縁部におけるチャネル部分に沿ったドレイン領域102からソース領域104の(第3a図において)底へと至る導通を防止する。

次に第3b図を参照すると、ゲート電極106と直角な方向から見た第3a図のトランジスタの

断面図が、ソース領域104を横切って示してある。第3b図は、フィールド酸化物108と接するソース領域104の両縁部にp+領域118が位置することを示している。第3c図は、フィールド酸化物108の一方の縁部に近い位置における、ゲート電極106と平行な方向から見た第3a図のトランジスタの断面図である。第3c図に示すように、ドレイン領域102はゲート電極106と自己整合され、ドレイン領域102を形成するのに使われたn形ドーパントの横方向拡散の範囲でゲート電極106の下側に延びている。動作トランジスタのチャネル形成する基板112部分が、ゲート電極106の下側でp+領域118とドレイン領域102との間に存在するので、p+領域118はドレイン領域102と直接接触しない。動作トランジスタのチャネル領域は、動作トランジスタのしきい値電圧を当該分野で周知の方法で調整するためにイオン注入されたとしても、一般にp+領域118と比べ強くドーパされている。

第4a～4d図は、第3a～3c図のトランジスタにおけるソースからドレインへの潜在的に可能な導通経路を模式的に示している。第4a図を参照すると、動作トランジスタが、p-基板112のチャネル部分によってn+ソース領域104からn+ドレイン領域102を分離した形で示してある。基板112のチャネル部分は一層に、所望のトランジスタ特性に応じて、ソース領域104の電圧またはソース領域104より低い電位にバイアスされる。このようなバイアスはトランジスタの動作にとって不可欠でないが、しきい値電圧を安定させると共に、基板112とソース領域102との間のp-n接合が単方向にバイアスされないことを保証する。ゲート絶縁物116がp-基板112のチャネル部分をゲート電極106から分離し、MOSトランジスタでは周知のように、トランジスタの動作を制御する。第4a図は、p+領域118から離れた位置で、ゲート電極106の下側において生じるソースドレイン間導通に対応している。前述したように、

トランジスタのイオン化放射線に対する露出は、ゲート誘電物116がフィールド酸化物108よりはるかに薄いため、上記経路に対してフィールド酸化物108下側の経路より少ない影響を及ぼす。

第4b図を参照すると、別の潜在的に可能なソースドレイン間の導通経路が概略的に示してある。基板112とp+領域118は共にp形なので、p+領域118をソース領域104へ短絡するようにソース領域104がケイ化物被覆されていなければ、基板のバイアスがp+領域118もバイアスする。後述するようにソース領域104がケイ化物被覆されていると、ソース領域104とp+領域118は同一電位となる。また、第4a図の導通経路の場合と同じように、ゲート誘電物116の厚さがフィールド酸化物108と比べて薄いため、この経路に対するイオン化放射線の影響は、フィールド酸化物108下側の導通経路に対する影響よりも減少される。通常の動作時、ゲート電極106のバイアスによって基板112

内に形成される何れのチャネルも p^+ 領域118における逆バイアスの $p-n$ 接合を満たしている。この経路を通じた導通は第4a図に示した経路を通じての導通と比べわずかである。

第4c図を参照すると、フィールド酸化物108の下側を通過する潜在的に可能な導通経路が概略的に示してある。この経路はドレイン領域102から、フィールド酸化物108下側のチャネルストップ p 形領域114と p^+ 領域118を介して、ソース領域194に至るものである。イオン化放射線への露出の結果として、フィールド酸化物トランジスタ(フィールド酸化物108上方のゲート電極106)のしきい値電圧がエンハンスモード素子になるほど充分に減少されることがある。すなわち、フィールド酸化物108下側におけるチャネルストップ領域114の部分が反転され、ゲート電極がソース電極104と同一電圧になることがある。しかし、本発明では p^+ 領域118が含まれているため、 p^+ 領域118とチャネルストップ領域114に形成されるいずれの

トランジスタ116に対する影響は減少される。従って、本発明によって作製されたトランジスタにおける第4d図の潜在的に可能な導通経路は、イオン化放射線への露出が寄生フィールド酸化物トランジスタのしきい値電圧をエンハンスモードに至るまで減少させるのに充分であるが、動作トランジスタ自体のしきい値電圧をエンハンスモードに至るまで減少させない場合には、実際上導通しない。つまり、第4d図の導通経路は、寄生フィールド酸化物トランジスタを導通させるのに必要な露出より強い露出で、第4a及び4b図の経路が導通している場合にのみ導通する。

第3a~3c図に示す参照すれば、 p^+ 領域118がチャネルの下側に形成されていず、つまりドレイン領域102と接触していないので、 p^+ 領域118はゲート電極106の形成後に形成できることに留意されたい。実際上、 p^+ 領域118はゲート電極106の形成後、第3c図に示すようにそのゲート電極106に対して自己整合法で形成されるのが好ましい。このように p^+

n -チャネルとの接合に逆バイアスのダイオードが存在することになる。何故なら、 p^+ 領域118の電位はソース領域104の電圧に等しいかまたはそれより低く、従ってドレイン領域102及び上記チャネルの電圧より低いからである。この結果、イオン化放射線への露出によるしきい値電圧の減少のためフィールド酸化物108の下側がエンハンスメントモードのチャネルになる場合でも、ソース・ドレイン間の導通が防がれる。

第4d図を参照すると、4番目の潜在的に可能な導通経路が概略的に示してある。この経路はドレイン領域102から、フィールド酸化物108下側のチャネルストップ領域114とゲート誘電物116下側の n^+ 基板112を介して、ソース領域194に至るものである。この場合にも、第4a及び4b図に示した導通経路と同じように、イオン化放射線がフィールド酸化物108下側のチャネルストップ領域114内にチャネルを形成するほど強くても、そのような放射線の強いゲー

領域118をゲート電極106の後に形成でき、従って p^+ のソース及びドレイン両極と同じ注入と拡散で形成できるため、本発明によるトランジスタは n^+ と p^+ 両方のソース及びドレイン領域を持つCMOSプロセスに特に適用可能である。また、 n^+ の注入が p^+ ソース/ドレインの場所及びその近が生じないように、 n^+ 及び p^+ ソース/ドレイン注入の各々毎にマスキング工程は必要となるため、第3c図に示したような p^+ 領域118と n^+ ソース領域104の位置は、CMOSのプロセスフローにマスキング工程や注入を新たに付け加えることなく、従来のフォトリソグラフィによって簡単に満足できる。

さらに、本発明による第3a~3c図のトランジスタでは、 p^+ 領域118(つまり何れの p^+ 領域)と n^+ ドレイン領域102との間に直接の接触が存在しないことに留意されたい。従って、第2a~2c図に示したような従来技術によって形成されたトランジスタと異なり、 p^+ 領域118は所望の放射線耐度を達成するため、ドレ

イン領域102との境界における接合の降伏電圧に形影響を及ぼさず、実施可能な限り強くドーピング可能である。本発明によるこのようなトランジスタの構造の一例は、基板112のチャネル部分が $10^{18}/\text{cm}^3$ の不純物濃度、ソース及びドレイン領域104、102が $10^{19}\sim 10^{21}/\text{cm}^3$ の不純物濃度、チャネルストップ領域114が $10^{18}\sim 10^{19}/\text{cm}^3$ の不純物濃度をそれぞれ有する場合、1ミクロンのチャネル長さで $10^{18}\sim 10^{21}/\text{cm}^3$ の範囲の不純物濃度を有し得る。基板112は一座にソース領域104と同じ電位か、またはそれより低いソース領域104と比較的近い電圧(例えば2〜3ボルト)にバイアスされているので、p+領域118とn+ソース領域104との間の接触は、接合の降伏に関する問題をさほど生じない。

次に第5図を参照すると、本発明によって形成されたトランジスタの別の実施例が、前記第3c図と同じ位置から見た断面図で示してある。第5図のトランジスタはさらに、当該分野で周知で最

新の値組回路で用いられている所斜ドレイン接合の形成のため、ゲート電極106の側面に側壁酸化物フィラメント150を形成することを含んでいる。側壁酸化物フィラメント150は、拡散領域(102、104、118)及びゲート電極106上に対するケイ化物膜152の形成を助け、このケイ化物膜152によってモートから多結晶への短絡傾向を減少させる。p+領域118はソース領域104とだけ接触し、ドレイン領域102とは接触していないので、第5図に示すように、本発明によるトランジスタはドレイン領域102をソース領域104に短絡させることなく、ドレイン領域102、ソース領域104及びp+領域118上にケイ化物膜を形成し得る。

次に第5a〜5c図を参照すると、本発明によるトランジスタの別の実施例が示してある。このトランジスタは平面図で見ると第3a図のトランジスタと同様に現れるが、絶縁上のシリコン(SOI)またはサファイア上のシリコン(SOS)の構成で形成され、かかる構成では当

該分野における別の方法で形成された結晶シリコンあるいは再結晶化ポリシリコン中に素子のアクティブ領域が位置する。例えば、第6a図のアクティブ領域は、基板212上の絶縁物層220の上に形成されたものとして示してある。第6a図に示した断面図は、第3a〜3c図の場合と同じく、ゲート絶縁物216上のゲート電極206の片側に位置したn+ドレイン領域202、及びゲート電極206の他側に位置したp+領域218を示している。本体シリコン222の部分的な局所酸化で形成されたものとして第6a図に示したフィールド酸化物208が、SOIトランジスタを相互に絶縁分離し、所望であれば下側にチャネルストップ注入領域を有してもよい本体シリコン222上に設けられている。p+チャネル領域224がゲート電極206の下方に位置し、第3a〜3c図のトランジスタと同じく動作トランジスタのチャネルとして機能する。第5図に従って形成されたトランジスタの動作と利点は、第3a〜3c図のトランジスタと同様である。しかし

SOI構成の場合、本発明によって作製されたトランジスタは、チャネル領域224との電気接触を与えるという追加の利点を有する。p+領域218は、チャネル領域224から離れて延びているが、それと電気接触しているの、第3a〜3c図のトランジスタにおける基板へのバイアスと同じくチャネル領域224へバイアスを与えるようにp+領域218との接触が得られ、SOIトランジスタのより安定した動作を与えることができる。

第6b及び6c図は、第6a図のSOIまたはSOS構造の追加の構成を示す。すなわち第6b図は、フィールド酸化物208が絶縁物層220の上面まで延びるように、第6a図の本体シリコン222の完全な酸化によって絶縁分離が形成された実施例を示している。この場合、フィールド酸化物208の領域下側に本体シリコン222の領域は存在しない。第6c図の実施例は、第6a図の本体シリコン222が絶縁物層220まで完全にエッチ除去されたメサ形絶縁分離を示してい

る。ドレイン領域202とp+領域218の両側面は、側壁フィラメント228によってパッシベーションされている。第6b及び6c図に示したケースでは、第6a図(並びに第4c及び4d図の導通経路で示した)寄生フィールド酸化物トランジスタが寄生側壁トランジスタによって置き換えられ、ゲート電極206がフィールド酸化物208(第6b図)と側壁フィラメント228(第6c図)の縁部を接している。p+領域218は第4c図に関連して前述したのと同様に動作し、本ケースでのソースドレイン間の導通を防ぐ。

以上本発明を好ましい実施例を参照して説明したが、上記の説明は例示にすぎず、制限の意味で解釈されるべきでないことが理解されよう。また、発明の前記実施例の詳細における数多くの変形及びその他の実施例が、前記の説明を参照することで当業者にとって自明となり且つなし得ることも理解されるべきである。

以上の記載に関連して、以下の各項を提示する。

1. 半導体表面の絶縁ゲート電界効果トランジスタ

形のチャネルストップ領域をさらに備えた第1項のトランジスタ。

3. 前記第1導電形がn形で、前記第2導電形がp形である第1項のトランジスタ。

4. 前記ガード領域と前記ソース領域間の接合が逆バイアスされている第1項のトランジスタ。

5. 前記ガード領域が前記ソース領域と同じ電圧にバイアスされている第4項のトランジスタ。

6. 前記ガード領域が前記ソース領域の電圧より低い電圧にバイアスされている第4項のトランジスタ。

7. 前記ドレイン領域、前記ソース領域及び前記ガード領域上に配設されたケイ化物膜をさらに備えた第1項のトランジスタ。

8. 絶縁物層をさらに備え、前記半導体が該絶縁物層上に配設されたシリコンの層である第1項のトランジスタ。

9. 前記ガード領域が前記ソース領域と同じ電圧にバイアスされている第8項のトランジスタ。

10. 前記ソース領域と前記ガード領域上に配設さ

たにおいて：

前記表面の指定位置に配設され、アクティブ領域を画定する絶縁層；

前記アクティブ領域上に配設されると共に、前記絶縁層上へと延びているゲート電極；

前記ゲート電極の第1側で前記アクティブ領域内に配設された第1導電形のドレイン領域で、該ドレイン領域が前記ゲート電極に隣接する位置で前記絶縁層の縁部にまで延びている；

前記ゲート電極の第2側で前記アクティブ領域内に配設された前記第1導電形のソース領域；

前記ゲート電極に隣接した位置の前記絶縁層と前記ソース領域との間で、前記アクティブ領域内に配設された第2導電形のガード領域；及び

前記ガード領域と前記ドレイン領域との間で前記ゲート電極の下側に配設された前記第2導電形のチャネル領域；

を備えたトランジスタ。

2. 前記絶縁層の下側に形成された前記第2導電

れたケイ化物膜をさらに備えた第9項のトランジスタ。

11. 半導体の表面に前記ゲート電界効果トランジスタを形成する方法において：

前記表面の指定部分上に絶縁層を形成し、アクティブ領域を画定するステップ；

前記アクティブ領域上にゲート絶縁物を形成するステップ；

前記ゲート絶縁物の所定部分上に位置し、前記絶縁層上へと延びたゲート電極を形成するステップ；

前記ゲート電極の対向する両側に第1導電形のソース及びドレイン領域を形成するステップで、該ドレイン領域が前記ゲート電極に隣接する位置で前記絶縁層の縁部にまで延びている；及び

前記ゲート電極に隣接した位置の前記絶縁層の縁部と前記ソース領域間の位置に、第2導電形のガード領域を形成するステップ；を含む方法。

12. 前記ガード領域を形成するステップが、前記ソース及びドレイン領域を形成するステップの後に続く第11項の方法。
13. 前記ガード領域を形成するステップが、前記ソース及びドレイン領域を形成するステップに先行する第11項の方法。
14. 前記ソース、ドレイン及びガード領域上にケイ化物膜を形成するステップをさらに含む第11項の方法。
15. 前記絶縁層を形成する前に、該絶縁層の位置に前記第2導電形のチャンネルストップ領域を形成するステップをさらに含む第11項の方法。
16. 前記絶縁層を形成する前に：
 本体の表面上に絶縁物層を形成するステップ；
 及び
 該絶縁物層の上に半導体層を形成するステップをさらに含む；
 前記表面が該半導体層の表面である第11項の方法。
17. 前記ソース及びガード領域上にケイ化物膜を形成するステップをさらに含む第16項の方法。
18. イオン化放射線への露出による絶縁分離酸化物を通じたソースドレイン間の導通を防ぐためのガード領域(118)を有するMOSTランジスタが開示される。n⁺チャネルランジスタの一例においては、p⁺領域(118)がゲート電極(106)に対する自己整合法で、ゲート電極の下側に延びてドレイン領域(102)と接触しないようにソース領域(104)の縁部に形成される。このp⁺領域(118)が、ゲート電極(106)が絶縁分離用のフィールド酸化物(108)上に重なっている箇所ではフィールド酸化物(108)の下側にチャネルが形成された場合でも、ソースドレイン間の導通を抑制するダイオードを形成する。シリーズ抵抗改善のため、上記構造にケイ化物被覆を施してもよい。SOI構造で形成されるランジスタの例も開示された。

4. 図面の簡単な説明

第1a図は従来技術によって作製されたMOSTランジスタの平面図；第1b及び1c図は第1a図のランジスタの断面図；第2a図は従来技術によって作製された別のMOSTランジスタの平面図；第2b及び2c図は第2a図のランジスタの断面図；第3a図は本発明によって作製されたMOSTランジスタの平面図；第3b及び3c図は第3a図のMOSTランジスタの断面図；第4a、4b、4c及び4d図は第3a-3c図のランジスタのソースドレイン間導通路の概略図；第5図はケイ化物被覆膜とゲート電極を含む本発明のMOSTランジスタの別の実施例の断面図；及び第6a-6c図は絶縁物上にシリコンを析出させた(SiO)態様による本発明のMOSTランジスタのその他の実施例の断面図である。

- 102、202……ドレイン領域、
 104……ソース領域、
 106、206……ゲート電極、

- 108、208……絶縁層(フィールド酸化物)、
 112、212……基板、
 114……チャネルストップ領域、
 116、216……ゲート絶縁物、
 118、218……ガード領域、
 152……ケイ化物膜、
 220……絶縁物層、
 222……本体シリコン。

図面の淨意(内容に変更なし)

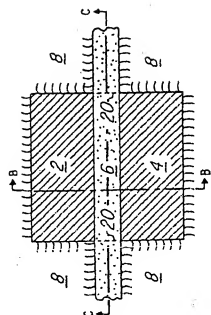


Fig. 1a

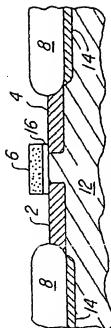


Fig. 1b

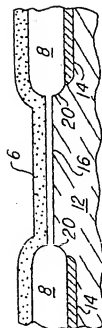


Fig. 1c

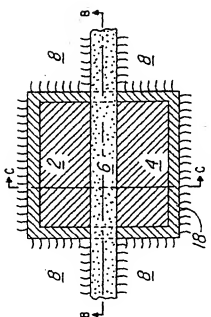


Fig. 2a

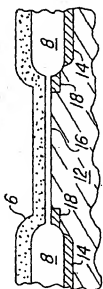


Fig. 2b

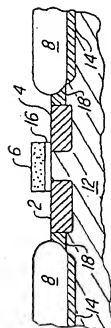


Fig. 2c

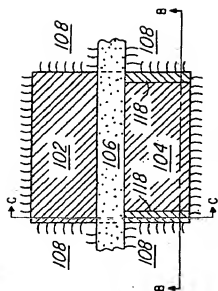


Fig 3a

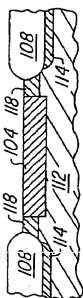


Fig 3b

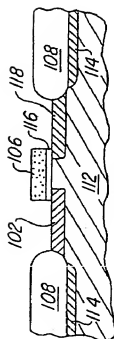


Fig. 3c

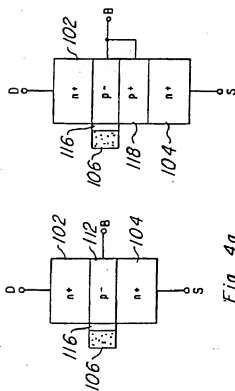


Fig. 4b

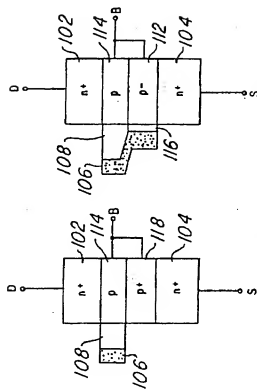


Fig. 4d

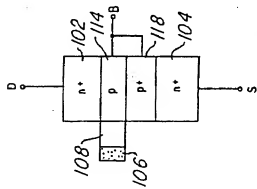


Fig. 4c

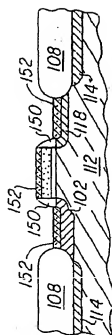


Fig. 5

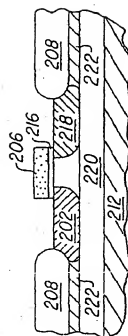


Fig. 6a

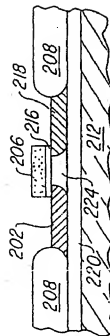


Fig. 6b

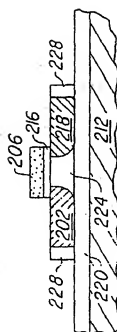


Fig. 6c

第1頁の続き

©Int. Cl.⁸

H 01 L 27/10

識別記号

3 1 1 R

庁内整理番号

8624-5F

発明者 テランス ジー ブレイク

アメリカ合衆国 テキサス州 75243 ダラス フェア
オークス クロッシング 8850 アパートメント 2058

特 許 補 正 書 (方式)

平成 年 月 日 1.5.16

特許庁長官 吉 田 文 昭 殿

1. 事件の表示 平成1年特許第23643号

2. 発明の名称 超薄膜層成改善型MOSトランジスタ

3. 補正をする者

事件との関係 出 願 人

名 称 テキサス インスツルメンツ
インコーポレイテッド

4. 代 理 人

住 所 東京都千代田区丸の内3丁目3番1号

電話 (代) 211-4741

氏 名 (5995) 歩 理 士 中 村 睦

5. 補正命令の日付 平成1年4月25日

6. 補正の対象 明 細 書 全 面

7. 補正の内容 別紙のとおり

願書に最初に添付した明細書及び図面の書き直し
(内容に変更なし)

